

一閃将棋 WCSC35 アピール文章

チーム: 自墮落同好会

コンセプト

将棋専用アクセラレータの実装により、圧倒的な読みの速度を実現する

特徴

演算装置: FPGA (Amazon EC2 F2 インスタンスを使用予定)

よく使われる CPU/GPU ではなく、FPGA 上に将棋専用の論理回路を構築する。

探索手法: $\alpha\beta$ 法

評価関数: NNUE

並列化手法: LazySMP(予定)

技術要素

指し手生成

性能にきわめて大きな影響を与えると考えられる。~~3/31時点では、1秒間に約200万局面~~4/15時点では、1秒間に約400万局面に対して全指し手の生成が可能である。末端局面の1手前で指し手生成を行い、生成された指し手を評価関数部に流し込むとき、仮に評価関数部が即座に評価値を返し、かつ十分な並列度を持つならば、NPS はおよそ 400 万×生成された指し手数となる。

4/15 時点で未実装の機能

- 打ち歩詰め判定（指し手生成部ではなく専用ユニットで判定予定）
- 連続王手の千日手判定（指し手生成部ではなく探索部で判定予定）
- 静止探索用指し手生成
- 詰・不詰探索用指し手生成

探索

$\alpha\beta$ 法を利用する。

陽にスタックメモリを用意して push/pop を行うことで再帰的探索が実現できる。4/15 現在未実装だが、オセロでは過去に実装実績がある¹。

FPGA においては処理を物理的に並列に走らせることができる。そのため、いくつかの枝刈りは他の処理の裏で実行することで時間的コストを隠蔽することが可能であり、CPU 実装では有用でなかった枝刈り手法も有用な可能性がある。

置換表

4/15 現在実装中。

F2 インスタンスに搭載されている VU47P FPGA には 16GB の High Bandwidth Memory(HBM)が搭載されているが、探索速度を考えると帯域は過大だが容量が小さいため、通常の DDR4 メモリの方を使う予定。

評価関数

NNUE 評価関数では、評価関数テーブルはネットワーク構造により数十 MB～数百 MB ものサイズになる。評価のたびに外部メモリへアクセスしてはスループットが大きく低下してしまうので、高速なオンチップメモリを利用する。

UltraRAM は 72bit(9bytes)幅、4096word の疑似² 2-port RAM で、VU47P FPGA には 960 個搭載されている。合計容量は $9B * 4096 * 960 = 35389440B = 33.75MiB$ となる。この容量は、典型的な NNUE 評価関数のパラメータを全て載せるには不足しているため、以下の工夫を行っている。

- ネットワーク構造に halfKP_vm 256x2-32-32 を採用

FeatureTransformer 部の出力次元数はパラメータサイズに直結するため、比較的小さめの 256 次元にすることにした。_vm は玉が 6,7,8,9 筋にいる場合にそれぞれ 4,3,2,1 筋にいるとして扱う (vertical mirror, vm) という意味である。この手法により、パラメータサイズを通常の HalfKP に比べて 5/9 倍に減らすことができる。

- 12bit 化

FeatureTransformer のパラメータは通常 16bit 整数型が用いられているが、推論時に 38 個の和をとることから、実際には 11～12bit 程度に収まることがほとんどである。FPGA ではロジック回路のデータ幅を 1bit 単位で自由に決めることができるため、12bit 幅にすることで、

1 <https://github.com/primenumber/FPGAOthello>

2 2つのポートはクロックを共有するため、厳密には 2-port RAM とは異なる

パラメータサイズを 3/4 倍に減らすことができる。また、12bit 幅は UltraRAM のデータ幅 72bit のちょうど 1/6 となっているため、回路を単純化できる。

並列化

並列化ができるかどうかは主に指し手生成・探索部のロジックリソースの余裕に依存するが、可能なら LazySMP による並列化を予定している。

EC2 F2 では最大で 8FPGA を搭載したインスタンスが提供されているが、複数 FPGA を利用する場合には、合議か ponder に用いる予定。

定跡

制御 CPU 側で対応予定。